

N on 892.

CLIPPEDIMAGE= JP405129595A
PAT-NO: JP405129595A
DOCUMENT-IDENTIFIER: JP 05129595 A
TITLE: SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUBN-DATE: May 25, 1993

INVENTOR-INFORMATION:

NAME
SOSHIRO, YUUJI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MATSUSHITA ELECTRON CORP	N/A

APPL-NO: JP03288890
APPL-DATE: November 5, 1991

INT-CL_(IPC): H01L029/784; H01L021/336
US-CL-CURRENT: 257/296

ABSTRACT:

PURPOSE: To provide a semiconductor device and a method for manufacturing the same in which a transistor and a memory cell can be reduced in size without deteriorating the characteristics due to hot carriers.

CONSTITUTION: A gate oxide film 2 has a thicker part than a part except an end

of a gate electrode due to a gate bird's beak 2a at the end of the electrode and has a high hot carrier resistance. The periphery of a polycrystalline silicon film 3 of the electrode is surrounded by a silicon oxide film 4 and a sidewall 7a of the oxide film, its outside is further surrounded by a silicon nitride film 9 to hold a completely electric insulation from a wiring film. Oxidation for forming the beak 2a is conducted in a wet atmosphere at 850-950°C. The phosphorus concentration in the film 3 is 1×10²⁰ or less, and growth of a protrusion on the surface of the film 3 is suppressed.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-129595

(43)公開日 平成5年(1993)5月25日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784 21/336		8225-4M 8225-4M	H 0 1 L 29/ 78	3 0 1 G 3 0 1 L

審査請求 未請求 請求項の数6(全 5 頁)

(21)出願番号 特願平3-288890

(22)出願日 平成3年(1991)11月5日

(71)出願人 00005843

松下電子工業株式会社

大阪府門真市大字門真1006番地

(72)発明者 十代 勇治

大阪府門真市大字門真1006番地 松下電子
工業株式会社内

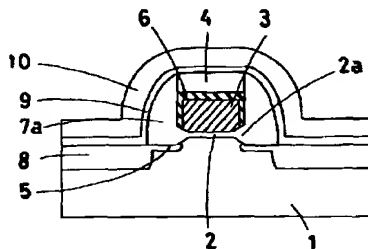
(74)代理人 弁理士 宮井 暁夫

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【目的】 ホットキャリアにより特性を劣化させることなく、トランジスタ寸法およびメモリセル寸法を縮小することができる半導体装置およびその製造方法を提供する。

【構成】 ゲート酸化膜2はゲート電極端においてゲートバースビーク2aによりゲート電極端以外より厚い部分を備えておりホットキャリア耐性が高い。ゲート電極の多結晶シリコン膜3の周囲をシリコン酸化膜4とシリコン酸化膜のサイドウォール7aにより囲み、その外側をさらにシリコン窒化膜9により囲み、配線膜との完全な電氣的絶縁を保つ。ゲートバースビーク2aを形成するための酸化は、850℃以上950℃以下でウェット雰囲気で行い、多結晶シリコン膜3中のリン濃度は 1×10^{20} 以下とし、多結晶シリコン膜3表面での突起成長を抑制する。



- 1 シリコン基板
- 2 ゲート酸化膜
- 2a ゲートバースビーク
- 3 多結晶シリコン膜
- 4 シリコン酸化膜(第1のシリコン酸化膜)
- 5 n⁺拡散層
- 6 多結晶シリコン酸化膜
- 7 シリコン酸化膜(第2のシリコン酸化膜)
- 7a サイドウォール
- 8 n⁺拡散層
- 9 シリコン窒化膜

1

【特許請求の範囲】

【請求項1】 シリコン基板上にゲート酸化膜を介して多結晶シリコン膜よりなるゲート電極を備えた半導体装置であって、

前記ゲート電極の端部におけるゲート酸化膜の膜厚を厚くし、前記ゲート電極の上部および側壁にシリコン酸化膜とシリコン窒化膜からなる絶縁膜を設けたことを特徴とする半導体装置。

【請求項2】 シリコン基板上に一様な膜厚で形成したゲート酸化膜上に多結晶シリコン膜を堆積する工程と、前記多結晶シリコン膜中にリンを添加する工程と、前記リンを添加した多結晶シリコン膜上に第1のシリコン酸化膜を堆積する工程と、前記第1のシリコン酸化膜と前記多結晶シリコン膜をパターンニングする工程と、熱酸化法により前記多結晶シリコン膜の側壁表面を酸化する工程と、第2のシリコン酸化膜を堆積し全面異方性エッチングにより前記第1のシリコン酸化膜および多結晶シリコン膜の側壁に前記第2のシリコン酸化膜のサイドウォールを形成する工程と、前記第1および第2のシリコン酸化膜上にシリコン窒化膜を堆積する工程とを含む半導体装置の製造方法。

【請求項3】 多結晶シリコン膜中のリン濃度を $1 \times 10^{20} \text{ cm}^{-3}$ 以下にすることを特徴とする請求項2記載の半導体装置の製造方法。

【請求項4】 第1のシリコン酸化膜は、常圧気相成長法によりリンを4wt%以上含み、膜厚を200nm以上にすることを特徴とする請求項2または請求項3記載の半導体装置の製造方法。

【請求項5】 多結晶シリコン膜の側壁表面の酸化温度を850℃以上、950℃以下とし、かつ酸化雰囲気ガスをウェット(H₂O)雰囲気とし、かつ酸化膜厚を10nm以上、40nm以下とすることを特徴とする請求項2、請求項3または請求項4記載の半導体装置の製造方法。

【請求項6】 シリコン窒化膜の膜厚を20nm以上、60nm以下とすることを特徴とする請求項2、請求項3、請求項4または請求項5記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半導体装置およびその製造方法に関し、特にセルフアラインコンタクト法におけるMOSトランジスタの構造およびその製造方法に係るものである。

【0002】

【従来の技術】DRAMを始めとする半導体装置の高集積化、高密度化によりその製造方法にも種々の工夫がなされている。例えば半導体基板と配線膜とのコンタクト形成方法においては従来のリソグラフィ法およびドライエッチング法によりコンタクトホールを形成して配線

2

膜を堆積する方法から、最近ではコンタクトホールを自己整合的に形成できるセルフアラインコンタクト法が考案され、一部で実用化されている。この方法は従来の技術に比べて例えばリソグラフィ工程での合わせ余裕を考慮する必要がなく、メモリセルなど素子の微細化、高集積化に有利である。

【0003】一方、素子の微細化によりトランジスタ寸法も縮小される。ゲート幅が小さくなることによりホットキャリアなどの新たな課題も生じている。このホットキャリアの対策としてはドレイン領域のゲート領域端に低濃度の領域を設けるLDD(Lightly-Doped-Drain)構造のトランジスタ等が考案されている。

【0004】図3に従来の技術によるDRAMメモリセルのセルフアラインコンタクト法の工程順断面図を、図4に周辺回路部のNOSTランジスタ最終断面図を示す。まず図3を用いて工程順に製造方法を説明する。まず、シリコン基板21上でLOCOS法により分離された素子領域に熱酸化法によりゲート酸化膜22を形成し、減圧気相成長法により多結晶シリコン膜23を堆積する。次に多結晶シリコン膜23に熱拡散法によりリンを添加し低抵抗化させる。さらに多結晶シリコン膜23上に気相成長法によりシリコン酸化膜24を堆積し、リソグラフィ法およびドライエッチング法によりシリコン酸化膜24と多結晶シリコン膜23をパターンニングし、図3(a)に示すようなゲート電極パターンを形成する。続いてイオン注入法によりリンをイオン注入しLDDトランジスタのn⁺拡散層となるソース・ドレイン領域25を形成する。

【0005】次に、図3(b)に示すように、減圧気相成長法によりシリコン酸化膜27を全面に堆積する。続いて、シリコン酸化膜27を全面異方性ドライエッチングして、図3(c)に示すように、多結晶シリコン膜23およびシリコン酸化膜24の側壁にシリコン酸化膜のサイドウォール27aを形成する。さらに、イオン注入法により硼素をイオン注入してn⁺拡散層28を形成し、LDDトランジスタとする。

【0006】次に、図3(d)に示すように、層間絶縁膜として気相成長法によりシリコン酸化膜30を堆積し、図3(e)に示すように、コンタクトホール形成用マスクとしてホトレジストパターン31を形成する。続いて異方性ドライエッチングを行いコンタクトホールを形成後、配線膜として多結晶シリコン膜32を堆積し、図3(f)に示すようにパターンニングして配線形成を行う。

【0007】このような従来の技術によるDRAMメモリセルのセルフアラインコンタクトプロセスにより形成された周辺回路部のMOSトランジスタの断面構造を図4に示す。ゲート電極の多結晶シリコン膜23はシリコン酸化膜24、27aにより周囲を囲まれた構造とな

50

【0008】

【発明が解決しようとする課題】しかしながら、上記従来の技術による半導体装置およびその製造方法では次のような課題がある。トランジスタ寸法が縮小されゲート幅が小さくなってくるとホットキャリアが発生し、特性を劣化させる。これはキャリアがゲート部を通過する際電界により加速され、ゲート酸化膜22内に飛び込み、しきい値電圧等に変動を与えるものである。ドレイン領域をLDD構造にしてもゲート幅の縮小には限界がある。

【0009】この発明は上記課題を解決するもので、特にセルフアラインコンタクトプロセスにおいて、トランジスタ寸法を縮小してもホットキャリアによる特性劣化のない半導体装置およびその製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】請求項1記載の半導体装置は、ゲート電極の端部におけるゲート酸化膜の膜厚を厚くし、ゲート電極の上部および側壁にシリコン酸化膜とシリコン窒化膜からなる絶縁膜を設けたことを特徴とする。請求項2記載の半導体装置の製造方法は、シリコン基板上に一様な膜厚で形成したゲート酸化膜上に多結晶シリコン膜を堆積する工程と、多結晶シリコン膜中にリンを添加する工程と、リンを添加した多結晶シリコン膜上に第1のシリコン酸化膜を堆積する工程と、第1のシリコン酸化膜と多結晶シリコン膜をパターンニングする工程と、熱酸化法により多結晶シリコン膜の側壁表面を酸化する工程と、第2のシリコン酸化膜を堆積し全面異方性エッチングにより第1のシリコン酸化膜および多結晶シリコン膜の側壁に第2のシリコン酸化膜のサイドウォールを形成する工程と、第1および第2のシリコン酸化膜上にシリコン窒化膜を堆積する工程とを含んでいる。

【0011】請求項3記載の半導体装置の製造方法は、請求項2記載の半導体装置の製造方法において、多結晶シリコン膜中のリン濃度を $1 \times 10^{20} \text{ cm}^{-3}$ 以下にすることを特徴とする。請求項4記載の半導体装置の製造方法は、請求項2または請求項3記載の半導体装置の製造方法において、第1のシリコン酸化膜が、常圧気相成長法によりリンを4wt%以上含み、膜厚を200nm以上にすることを特徴とする。

【0012】請求項5記載の半導体装置の製造方法は、請求項2、請求項3または請求項4記載の半導体装置の製造方法において、多結晶シリコン膜の側壁表面の酸化温度を850℃以上、950℃以下とし、かつ酸化雰囲気ガスをウェット(H₂O)雰囲気とし、かつ酸化膜厚を10nm以上、40nm以下とすることを特徴とする。請求項6記載の半導体装置の製造方法は、請求項2、請求項3、請求項4または請求項5記載の半導体装置の製造方法において、シリコン窒化膜の膜厚を20nm以上、

60nm以下とすることを特徴とする。

【0013】

【作用】この発明の構成および製造方法によれば、ゲート酸化膜厚がホットキャリアの発生するゲート電極の端部で厚くなっているため、ホットキャリアによる特性劣化なしにゲート寸法を縮小することができる。

【0014】

【実施例】以下、この発明の一実施例を図1および図2を用いて詳述する。図1はこの発明による半導体装置の断面図、図2はこの発明による半導体装置の製造方法としてDRAMメモリのセルのセルフアラインコンタクト法の工程順断面図である。まず、図2を用いて工程順に製造方法を説明する。

【0015】まず、シリコン基板1上でLOCOS法により分離された素子領域に熱酸化法によりゲート酸化膜2を一様に形成し、減圧気相成長法により多結晶シリコン膜3を300nm堆積する。次に多結晶シリコン膜3に950℃でPOC1₃を用いた熱拡散法によりリンを添加し低抵抗化させる。さらに多結晶シリコン膜3上に常圧気相成長法によりリンを含んだシリコン酸化膜(第1のシリコン酸化膜)4を堆積し、リソグラフィ法およびドライエッチング法によりシリコン酸化膜4と多結晶シリコン膜3をパターンニングし、図2(a)に示すようなゲート電極パターンを形成する。続いてイオン注入法によりリンを100KeVで $5 \times 10^{13} \text{ cm}^{-2}$ 注入しLDDトランジスタのn⁺拡散層となるソース・ドレイン領域5を形成する。

【0016】次に900℃ウェット酸化により、多結晶シリコン膜3の側壁を酸化するとともに、図2(b)に示すように多結晶シリコン電極端部にゲートバースピーク2aを形成し、ゲート酸化膜2の膜厚をゲート電極端部において他のゲート部より厚くする。この時、シリコン酸化膜4を通して酸化剤(H₂O)が拡散し、多結晶シリコン膜3の上面も酸化される。酸化条件が多結晶シリコン膜3中のリン濃度によっては、酸化後の多結晶シリコン膜表面の凹凸(アスペリティ)が大きくなり、極端な場合突起となり上層のシリコン酸化膜4中にまで侵入することもある。突起がシリコン酸化膜4中にまで侵入した場合には、上層の配線膜(多結晶シリコン配線膜12; 図2(f)参照)との完全な絶縁が不可能となり、素子の不良の原因となる。異常な突起を成長させないための酸化条件としては、温度が850℃以上で950℃以下であり、酸化雰囲気はウェット雰囲気(H₂O)であることが必要である。また酸化膜厚は薄い方が突起の成長は小さいが、十分なゲートバースピーク2a形成のためには少なくとも10nm以上の酸化が必要であり、40nm以下の酸化であれば突起は小さい。また突起の成長は多結晶シリコン膜3中のリン濃度にも依存し、成長を抑えるためにはリン濃度を $1 \times 10^{20} \text{ cm}^{-3}$ 以下にすることが必要である。また、多結晶シリコン膜3上のシ

5

リコン酸化膜4は、突起が成長してもゲート電極となる多結晶シリコン膜3と上層の配線膜(12; 図2(f)参照)との絶縁を充分たつためには、少なくとも200nm以上の膜厚が必要であり、多結晶シリコン膜3への応力を抑え、突起成長を緩和するために4wt%以上のリンを含んでいることが必要である。

【0017】続いて減圧気相成長法によりシリコン酸化膜(第2のシリコン酸化膜)7を300nm全面に堆積すると、図2(b)の構造となる。その後、シリコン酸化膜7を全面異方性ドライエッチングして、図2(c)に示すように、多結晶シリコン膜3およびシリコン酸化膜4の側壁にシリコン酸化膜のサイドウォール7aを形成する。さらにイオン注入法により砒素を20KeVで $5 \times 10^{15} \text{ cm}^{-2}$ 注入してn⁺拡散層8を形成しLDDトランジスタとする。次に図2(d)に示すように、層間絶縁膜として減圧気相成長法によりシリコン窒化膜9を20nm堆積する。このシリコン窒化膜9は多結晶シリコン膜3と上層の配線膜(12; 図2(f)参照)との絶縁を完全にするために必要で、膜厚は少なくとも20nm以上は必要である。また厚すぎると基板1への応力が大きくなるため60nm以下にする必要がある。

【0018】次にシリコン酸化膜10を150nm堆積した後、図2(e)に示すように、コンタクトホール形成用マスクとしてホトレジストパターン11を形成する。続いて異方性ドライエッチングを行いコンタクトホールを形成後、配線膜として多結晶シリコン配線膜12を堆積し、図2(f)に示すようにパターンニングして配線形成を行う。

【0019】このようにしてこの製造方法のDRAMメモリセルのセルフアラインコンタクトプロセスにより形成された周辺回路部のMOSTランジスタの断面構造を示したのが図1である。図1に示すように、ゲート酸化膜2はゲート電極端においてゲートバースピーク2aによりゲート電極端以外より厚い部分を備え、ゲート電極の多結晶シリコン膜3はシリコン酸化膜4、7aにより周囲を囲まれ、かつその外周はさらにシリコン窒化膜9で囲まれており、多結晶シリコン配線膜12(図2(f)参照)との電氣的絶縁が完全に保たれている。ソース、ドレインはLDD構造となっている。

【0020】以上のようにこの実施例によれば、ゲート

6

酸化膜2の膜厚がホットキャリアの発生するゲート電極端で厚くなっているため、ゲート寸法を縮小してもホットキャリアによる特性の劣化がない。またゲート酸化膜2をゲート電極端で厚くするための酸化工程において多結晶シリコン膜の突起成長がないように、かつ充分な絶縁が保てるような構造、方法となっている。このようにこの発明によれば、一層微細化が可能な半導体装置を提供できる。

【0021】

【発明の効果】以上のようにこの発明によれば、ゲート酸化膜厚がホットキャリアの発生するゲート電極端で厚くなっているため、ゲート寸法を縮小してもホットキャリアによる特性の劣化がない。またゲート酸化膜をゲート電極端で厚くするための酸化工程において多結晶シリコン膜の突起成長がないように、かつ充分な絶縁が保てるような構造、方法となっている。このようにこの発明によれば、一層微細化が可能な半導体装置を提供できる。

【図面の簡単な説明】

【図1】この発明の一実施例を示すMOSTランジスタ部の断面図である。

【図2】この発明の一実施例を示すメモリセル部の工程順断面図である。

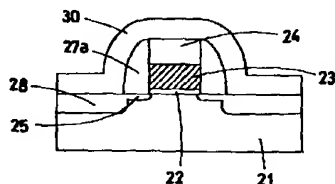
【図3】従来の技術によるメモリセル部の工程順断面図である。

【図4】従来の技術によるMOSTランジスタ部の断面図である。

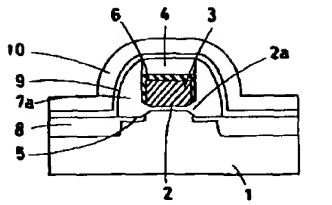
【符号の説明】

- 1 シリコン基板
- 2 ゲート酸化膜
- 2a ゲートバースピーク
- 3 多結晶シリコン膜
- 4 シリコン酸化膜(第1のシリコン酸化膜)
- 5 n⁻拡散層
- 6 多結晶シリコン酸化膜
- 7 シリコン酸化膜(第2のシリコン酸化膜)
- 7a サイドウォール(シリコン酸化膜)
- 8 n⁺拡散層
- 9 シリコン窒化膜

【図4】

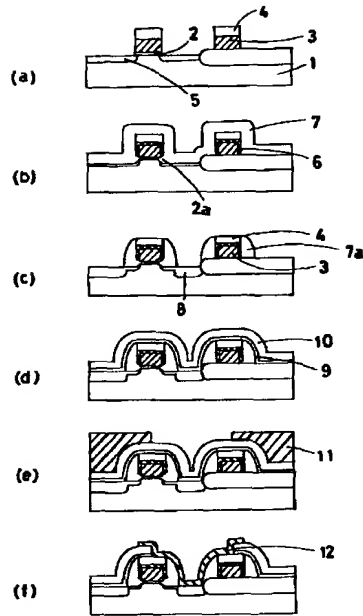


【図1】



- 1 シリコン基板
2 ゲート酸化膜
2a ゲートパースピーク
3 多結晶シリコン膜
4 シリコン酸化膜 (第1のシリコン酸化膜)
5 n⁺拡散層
6 多結晶シリコン酸化膜
7 シリコン酸化膜 (第2のシリコン酸化膜)
7a サイドウォール
8 n⁺拡散層
9 シリコン酸化膜

【図2】



【図3】

